

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

010554625 \*\*Image available\*\*

WPI Acc No: 1996-051578/199606

XRPX Acc No: N96-043219

Low voltage silicon on insulator logic circuit - has serially connected power switching SOI MOSFETs and logic circuit in floating state implementing low threshold voltage MOSFETs, power switching MOSFETs biassed to power supply potentials implementing high threshold MOSFETs Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE )

Inventor: DOUSEKI T

Number of Countries: 004 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 690510	A1	19960103	EP 95110014	A	19950627	199606	B
JP 8228145	A	19960903	JP 95157647	A	19950623	199645	
US 5594371	A	19970114	US 95495785	A	19950627	199709	
EP 690510	B1	19980506	EP 95110014	A	19950627	199822	
DE 69502350	E	19980610	DE 602350	A	19950627	199829	
			EP 95110014	A	19950627		
JP 3250711	B2	20020128	JP 95157647	A	19950623	200214	

Priority Applications (No Type Date): JP 94334640 A 19941220; JP 94168851 A 19940628

Cited Patents: 05Jnl.Ref; JP 6029834; JP 62264670; US 4906587

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 690510	A1	E	19 H01L-027/12	

Designated States (Regional): DE FR

JP 8228145	A	10 H03K-019/0948
US 5594371	A	21 H03K-019/094
EP 690510	B1	E 21 H01L-027/12

Designated States (Regional): DE FR

DE 69502350	E	H01L-027/12	Based on patent EP 690510
JP 3250711	B2	10 H03K-019/0948	Previous Publ. patent JP 8228145

Abstract (Basic): EP 690510 A

The logic circuit (43) comprises two power supply lines and two silicon on insulator (SOI) field effect transistors (FET) (44 and 45).

One transistor is connected to the first power supply line, and the other to the second power supply line. A logic circuit is connected between the drain of the first SOI FET and the drain of the second SOI FET.

The logic circuit is constituted by several SOI FETs whose bodies are made floating state. A connection between the first power supply line and the logic circuit, and a connection between the second power supply line and the logic circuit are switched by a signal to the gate of the first SOI FET and the gate of the second SOI FET.

USE/ADVANTAGE - For operation by one volt dry battery. Low threshold voltage MOSFETs enable logic circuit to operate at high speed in active mode. High threshold voltage power switching MOSFETs reduce

power dissipation in sleep mode.

Dwg.4/10

Title Terms: LOW; VOLTAGE; SILICON; INSULATE; LOGIC; CIRCUIT; SERIAL;  
CONNECT; POWER; SWITCH; SOI; MOSFET; LOGIC; CIRCUIT; FLOAT; STATE;  
IMPLEMENT; LOW; THRESHOLD; VOLTAGE; MOSFET; POWER; SWITCH; MOSFET;  
BIAS; POWER; SUPPLY; POTENTIAL; IMPLEMENT; HIGH; THRESHOLD; MOSFET

Index Terms/Additional Words: SOI; SILICON; ON; INSULATOR

Derwent Class: U13; U21

International Patent Class (Main): H01L-027/12; H03K-019/094; H03K-019/0948

International Patent Class (Additional): H01L-021/822; H01L-027/04;

H01L-027/08; H01L-029/786; H03K-019/0175

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

05272645 \*\*Image available\*\*

LOW VOLTAGE SOI TYPE LOGIC CIRCUIT

PUB. NO.: 08-228145 [JP 8228145 A]

PUBLISHED: September 03, 1996 (19960903)

INVENTOR(s): DOUSEKI TAKAKUNI

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese  
Company or Corporation), JP (Japan)

APPL. NO.: 07-157647 [JP 95157647]

FILED: June 23, 1995 (19950623)

INTL CLASS: [6] H03K-019/0948; H01L-027/04; H01L-021/822; H01L-027/08;  
H01L-029/786

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits); 42.2 (ELECTRONICS --  
Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

### ABSTRACT

PURPOSE: To enable the high-speed operation of the logic circuit by using  
an MOSFET of a low threshold voltage and to reduce power consumption at the  
time of waiting by using the MOSFET for power source switch of a high  
threshold voltage.

CONSTITUTION: The SOI type logic circuit is provided while serially  
connecting SOI type MOSFET 44 and 45 for power source switch and a logic  
circuit 43 composed of the SOI type MOSFET. The body part of the MOSFET of  
the logic circuit is turned to a floating state and defined as the MOSFET  
of the low threshold voltage and the body part of the MOSFET for power  
source switch is biased by a power source voltage and defined as the MOSFET  
of the high threshold voltage.

特開平8-228145

(43)公開日 平成8年(1996)9月3日

(51) Int.Cl.<sup>6</sup>

H03K 19/0948  
H01L 27/04  
21/822  
27/08  
29/786

識別記号

331

F I

H03K 19/0948  
H01L 27/08  
27/04  
29/78  
613

B

E

D

Z

審査請求 未請求 請求項の数10 O L (全10頁)

(21)出願番号 特願平7-157647

(22)出願日 平成7年(1995)6月23日

(31)優先権主張番号 特願平6-168851

(32)優先日 平6(1994)6月28日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平6-334640

(32)優先日 平6(1994)12月20日

(33)優先権主張国 日本 (J P)

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 道関 隆国

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

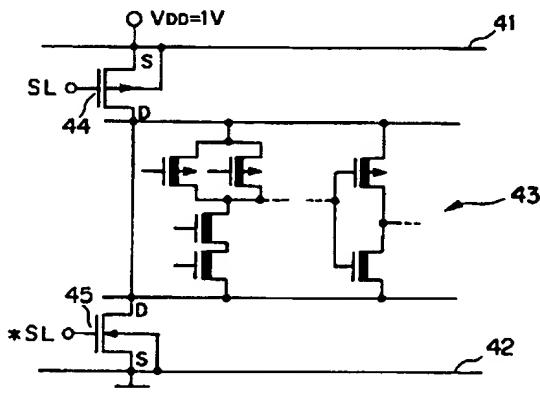
(74)代理人 弁理士 谷 義一 (外1名)

## (54)【発明の名称】低電圧SOI型論理回路

## (57)【要約】

【構成】 電源スイッチ用のSOI型MOSFET (4, 45)と、SOI型MOSFETから構成される論理回路 (43)とを、直列接続したSOI型論理回路。論理回路のMOSFETのボディ部をフローティング状態として、低しきい値電圧のMOSFETとともに、電源スイッチ用MOSFETのボディ部には電源電圧によるバイアスをかけて、高しきい値電圧のMOSFETとした。

【効果】 低しきい値電圧のMOSFETによって、論理回路の高速動作を可能とともに、高しきい値電圧の電源スイッチ用MOSFETによって、待機時の消費電力の低減を図った。



LOW-VTH MOSFET HIGH-VTH MOSFET

## 【特許請求の範囲】

【請求項1】 第1の電源線と、第2の電源線と、ソースとボディ部が前記第1の電源線に接続されたSOI(SiliconOn Insulator)型の第1の電界効果トランジスタと、ソースとボディ部が前記第2の電源線に接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタのドレインと前記第2の電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートに供給される信号によって、前記第1の電源線と前記論理回路、および前記第2の電源線と前記論理回路との間の接続をオン／オフすることを特徴とする低電圧SOI型論理回路。

【請求項2】 第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の第1の電界効果トランジスタと、ソースが前記第2の電源線に接続され、ボディ部がゲートに接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタのドレインと前記第2の電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートに供給される信号によって、前記第1の電源線と前記論理回路、および前記第2の電源線と前記論理回路との間の接続をオン／オフすることを特徴とする低電圧SOI型論理回路。

【請求項3】 前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整して、該ボディ部を完全空乏化状態とするとともに、前記第1の電界効果トランジスタのボディ部および前記第2の電界効果トランジスタのボディ部の不純物濃度を調整して、該ボディ部を部分空乏化状態としたことを特徴とする請求項1または2に記載の低電圧SOI型論理回路。

【請求項4】 前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅W以上となるようにし、前記第1の電界効果トランジスタのボディ部および前記第2の電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成

される空乏層の厚さが、前記空乏層幅Wより小さくなるように設定したことを特徴とする請求項1または2に記載の低電圧SOI型論理回路。

【数1】  $W = \{ 2 \epsilon_{ss} \cdot 2 \phi_i / (q \cdot N_{dd}) \}^{1/2}$   
ただし、 $\epsilon_{ss}$ は、シリコン部の誘電率  
 $\phi_i$ は、シリコン部のフェルミポテンシャル  
 $q$ は、電子の電荷  
 $N_{dd}$ は、ボディ部の不純物濃度

【請求項5】 前記論理回路を構成する電界効果トランジスタのボディ部の厚さを100nm以下、その不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以下とし、該ボディ部を完全空乏化状態とするとともに、前記第1の電界効果トランジスタのボディ部および前記第2の電界効果トランジスタのボディ部の厚さを100nm以下、その不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ より大に設定して、該ボディ部を部分空乏化状態としたことを特徴とする請求項4に記載の低電圧SOI型論理回路。

【請求項6】 第1の電源線と、第2の電源線と、ソースとボディ部が前記第1の電源線に接続されたSOI型の電源スイッチ用電界効果トランジスタと、前記電源スイッチ用電界効果トランジスタのドレインと前記第2の電源線との間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記電源スイッチ用電界効果トランジスタのゲートに供給される信号によって、前記第1の電源線と前記論理回路との間の接続をオン／オフすることを特徴とする低電圧SOI型論理回路。

【請求項7】 第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の電源スイッチ用電界効果トランジスタと、前記電源スイッチ用電界効果トランジスタのドレインと前記第2の電源線との間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記電源スイッチ用電界効果トランジスタのゲートに供給される信号によって、前記第1の電源線と前記論理回路との間の接続をオン／オフすることを特徴とする低電圧SOI型論理回路。

【請求項8】 前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整して、該ボディ部を完全空乏化状態とするとともに、前記電源スイッチ用電界効果トランジスタのボディ部の不純物濃度を調整して、該ボディ部を部分空乏化状態としたことを特徴とする請求項6または7に記載の低電圧SOI型論理回路。

【請求項 9】 前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅W以上となるようにし、前記電源スイッチ用電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、前記空乏層幅Wより小さくなるように設定したことを特徴とする請求項 6 または 7 に記載の低電圧SOI型論理回路。

【数2】  $W = \{ 2 \varepsilon_{ss} \cdot 2 \phi_s / (q \cdot N_{DD}) \}^{1/2}$   
 ただし、 $\varepsilon_{ss}$ は、シリコン部の誘電率  
 $\phi_s$ は、シリコン部のフェルミポテンシャル  
 $q$ は、電子の電荷  
 $N_{DD}$ は、ボディ部の不純物濃度

【請求項 10】 前記論理回路を構成する電界効果トランジスタのボディ部の厚さを 100 nm 以下、その不純物濃度を  $1 \times 10^{17} \text{ cm}^{-3}$  以下とし、該ボディ部を完全空乏化状態とともに、前記電源スイッチ用電界効果トランジスタのボディ部の厚さを 100 nm 以下、その不純物濃度を  $1 \times 10^{17} \text{ cm}^{-3}$  より大に設定して、該ボディ部を部分空乏化状態としたことを特徴とする請求項 9 に記載の低電圧SOI型論理回路。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 この発明は、1 V の乾電池電源で動作可能な SOI (Silicon On Insulator) 型の電界効果トランジスタを用いた低電圧 SOI 型論理回路に関する。

##### 【0002】

【従来の技術】 従来の低電圧論理回路として、図 1 に示すような回路が知られている。これは、パルク型の CMOS 回路を用いたもので、特開平 6-29834 号公報、または S. Mutoh, et al. "1V HIGH SPEED DIGITAL CIRCUIT TECHNOLOGY WITH 0.5 μm MULTI-THRESHOLD CMOS", IEEE, 1993, 186-189 ページに記載された回路である。

【0003】 この回路は、高電位電源線 1 に接続された電源スイッチ用 MOSFET 4 と、低電位電源線 2 に接続された電源スイッチ用 MOSFET 5 との間に、CMOS 論理回路群 3 を接続した基本構成を有している。ここで、電源スイッチ用 MOSFET 4 および 5 は、高しきい値電圧の MOSFET であり、論理回路群 3 は、低しきい値電圧の MOSFET から構成されている。

【0004】 高しきい値電圧の電源スイッチ用 MOSFET 4 および 5 のゲートには、スリープ信号 SL と、その反転信号 \*SL がそれぞれ供給され、論理回路群 3 の待機時 (スリープ時) には、信号 SL が高レベルとされ、MOSFET 4 および 5 をオフとし、論理回路群 3 への電源供給を停止する。逆に、論理回路群 3 の動作時には、スリープ信号 SL が低レベルとされ、MOSFET 4 および 5 をオンとして、論理回路群 3 に電源供給す

る。

【0005】 一般に、低しきい値電圧の MOSFET は、動作速度は速いが遮断時のリーク電流は大きく、逆に高しきい値電圧の MOSFET は、動作速度は遅いが遮断時のリーク電流は小さいという特性をもっている。したがって、図 1 の回路は、スリープ時には小さなリーク電流を維持しつつ、論理回路群 3 の動作時には、高速動作を持続することが可能となる。

【0006】 ここで注目すべき点は、従来の低電圧論理

10 回路では、論理回路群 3 の MOSFET の各基板が、高電位電源線 1 または低電位電源線 2 にそれぞれ接続されている点である。これは、基板バイアスを印加することによって、パルク型の CMOS 回路で起こりやすいラップアップによる誤動作を防止するためである。なお、上記 Mutoh, et al. の論文の Fig. 1 では、論理回路群の MOSFET の基板がどこにも接続されていないかのように記されているが、これは表記上の便宜のためであり、実際には、これらの MOSFET の基板も、それぞれの電源線に接続されている。

20 【0007】 このような構成を SOI 型の CMOS 論理回路に適用しようとすると、素子面積が増大するという問題がある。以下、この点について説明する。

【0008】 図 2 は、従来の SOI 型 MOSFET の構造を示す断面図である。シリコン基板 11 上に埋込酸化膜 12 が形成され、その上には、単結晶シリコン層からなるアクティプ領域 13 が形成されている。このアクティプ領域 13 は、ソース 131、ドレイン 132、およびそれらに挟まれたボディ部 133 からなっている。アクティプ領域 13 は、ゲート酸化膜 14 で覆われ、ゲート酸化膜 14 上にゲート電極 15 が形成されている。このゲート電極 15 に電圧を印加することによって、ボディ部 133 の上部にチャンネル部 134 が形成される。このように、アクティプ領域 13 は、ソース 131、ドレイン 132、およびボディ部 133 からなり、ボディ部 133 は、埋込酸化膜 12 によって、シリコン基板 11 から絶縁されている。

【0009】 図 3 (A) は、パルク型 MOSFET の基板へのバイアスの印加方法を示し、図 3 (B) は、SOI 型 MOSFET のボディ部へのバイアスの印加方法を示す。図 3 (A) に示すパルク型 PMOSFET では、基板内に N 型のウェル 20 が形成され、その中に P' 型のソース 21 とドレイン 22 が形成されるとともに、ウェル 20 上面にゲート酸化膜を介してゲート電極 23 が形成されている。また、ウェル 20 内には、バイアス用 N' 領域 24 が形成され、コンタクト 25 を通して、シリコン上部から電位が印加できるようにしている。

【0010】 一方、図 3 (B) に示す SOI 型 PMOSFET は、図 2 に示すように、ボディ部 133 がシリコン基板 11 から絶縁されているために、接続部 34A によって、ボディ部 133 をバイアス用領域 34 に接続

し、そこにコンタクト35を形成する構造にしなければならなかった。

【0011】この結果、SOI型MOSFETでは、バルク型MOSFETと比較して、バイアス用領域が増大し、その分だけ占有面積が増大するという欠点があった。特に、論理回路群3を構成するMOSFETのサイズの増大は、回路面積の増大をきたし、集積度を低下させるという問題があった。

#### 【0012】

【発明が解決しようとする課題】そこで、本発明の目的10は、高速動作および高集積が可能な低電圧SOI型論理回路を提供することである。

#### 【0013】

【課題を解決するための手段】本発明は、第1の電源線と、第2の電源線と、ソースとボディ部が前記第1の電源線に接続されたSOI(Silicon On Insulator)型の第1の電界効果トランジスタと、ソースとボディ部が前記第2の電源線に接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタのドレインと前記第2の電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートに供給される信号によって、前記第1の電源線と前記論理回路、および前記第2の電源線と前記論理回路との間の接続をオン／オフすることを特徴とする。

【0014】また、本発明は、第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の第1の電界効果トランジスタと、ソースが前記第2の電源線に接続され、ボディ部がゲートに接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタのドレインと前記第2の電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートに供給される信号によって、前記第1の電源線と前記論理回路、および前記第2の電源線と前記論理回路との間の接続をオン／オフすることを特徴とする。

【0015】また、本発明は、前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整して、該ボディ部を完全空乏化状態とするとともに、前記第1の電界効果トランジスタのボディ部および前記第2の電界効果トランジスタのボディ部の不純物濃度を調整して、該ボディ部を部分空乏化状態としたことを特徴とする。

【0016】また、本発明は、前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅W以上となるようにし、前記第1の電界効果トランジスタのボディ部および前記第2の電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、前記空乏層幅Wより小さくなるように設定したことを特徴とする。

#### 【0017】

【数3】  $W = \{2\varepsilon_{ss} \cdot 2\phi_i / (q \cdot N_{dd})\}^{1/2}$   
ただし、 $\varepsilon_{ss}$ は、シリコン部の誘電率  
 $\phi_i$ は、シリコン部のフェルミボテンシャル  
qは、電子の電荷

$N_{dd}$ は、ボディ部の不純物濃度

また、本発明は、前記論理回路を構成する電界効果トランジスタのボディ部の厚さを100nm以下、その不純物濃度を $1 \times 10^{11} \text{ cm}^{-3}$ 以下とし、該ボディ部を完全空乏化状態とするとともに、前記第1の電界効果トランジスタのボディ部および前記第2の電界効果トランジスタのボディ部の厚さを100nm以下、その不純物濃度を $1 \times 10^{11} \text{ cm}^{-3}$ より大に設定して、該ボディ部を部分空乏化状態としたことを特徴とする。

【0018】また、本発明は、第1の電源線と、第2の電源線と、ソースとボディ部が前記第1の電源線に接続されたSOI型の電源スイッチ用電界効果トランジスタと、前記電源スイッチ用電界効果トランジスタのドレインと前記第2の電源線との間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記電源スイッチ用電界効果トランジスタのゲートに供給される信号によって、前記第1の電源線と前記論理回路との間の接続をオン／オフすることを特徴とする。

【0019】また、本発明は、第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の電源スイッチ用電界効果トランジスタと、前記電源スイッチ用電界効果トランジスタのドレインと前記第2の電源線との間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記電源スイッチ用電界効果トランジスタのゲートに供給される信号によって、前記第1の電源線と前記論理回路との間の接続をオン／オフすることを特徴とする。

【0020】また、本発明は、前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整して、該ボディ部を完全空乏化状態とするとともに、前記電源スイッチ用電界効果トランジスタのボディ部の不純物濃度を調整して、該ボディ部を部分空乏化状態としたことを特徴とする。

【0021】また、本発明は、前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅W以上となるようにし、前記電源スイッチ用電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、前記空乏層幅Wより小さくなるように設定したことを特徴とする。

#### 【0022】

【数4】  $W = \{ 2 \epsilon_{s1} \cdot 2 \phi_1 / (q \cdot N_{b1}) \}^{1/2}$   
ただし、 $\epsilon_{s1}$  は、シリコン部の誘電率

$\phi_1$  は、シリコン部のフェルミボテンシャル

q は、電子の電荷

$N_{b1}$  は、ボディ部の不純物濃度

また、本発明は、前記論理回路を構成する電界効果トランジスタのボディ部の厚さを 100 nm 以下、その不純物濃度を  $1 \times 10^{17} \text{ cm}^{-3}$  以下とし、該ボディ部を完全空乏化状態とするとともに、前記電源スイッチ用電界効果トランジスタのボディ部の厚さを 100 nm 以下、その不純物濃度を  $1 \times 10^{17} \text{ cm}^{-3}$  より大に設定して、該ボディ部を部分空乏化状態としたことを特徴とする。

#### 【0023】

【作用】本発明は、論理回路用の SOI 型 MOSFET のボディ部をフローティング状態とした点を特徴とする。これによって、論理回路を構成する MOSFET においては、従来必要であったバイアス用領域および接続部が不要となり、素子面積の増大を防ぐことができる。また、ボディ部をフローティング状態とした NMOSFET (PMOSFET) では、ドレインからボディ部へ正孔 (電子) が流入して (インパクト・イオン化) 、ボディ部の電位が上がり (下がり) 、ボディ部とソースとの間の電圧の絶対値が大きくなるため、しきい値電圧が下がり、論理回路素子の低電圧化を図ることができるという利点も得られる。

【0024】また、電源スイッチ用 MOSFET では、高しきい値電圧を実現するために、バイアス用領域と接続部が必要であるが、この MOSFET は、論理回路ブロックの両側 (または片側) にのみ配置すればよく、論理回路用 MOSFET と比較して使用個数がきわめて少ないので、回路全体の面積への影響はほとんど無視できる。

【0025】さらに、MOSFET のボディ部の不純物濃度を調節することによって、そのしきい値電圧を正確に設定することができる。すなわち、論理回路用の低しきい値電圧 MOSFET では、フローティング状態としたボディ部の不純物濃度を減らして、完全空乏化状態とすることによって、低しきい値電圧を高精度で実現することができるとともに、電源スイッチ用の MOSFET では、電源にバイアスしたボディ部の不純物濃度を増やして、ボディ部を部分空乏化状態にすることによって、

高しきい値電圧を正確に設定することができる。

【0026】また、電源スイッチ用 MOSFET のボディ部をゲートに接続して、ゲート電圧でバイアスすれば、この MOSFET のしきい値電圧特性を、遮断時には高しきい値電圧、導通時には低しきい値電圧と、自動的に切り替えることができる。すなわち、可変しきい値電圧によって、より有利な電源制御を実現することができる。

#### 【0027】

10 【実施例】以下、図面を参照して、本発明の実施例を説明する。

#### 【0028】実施例 1

図4は、本発明による低電圧 SOI 型論理回路の第一実施例の構成を示す回路図である。

【0029】図において、符号 41 は高電位電源線、42 は低電位電源線である。高電位電源線 41 は、電源スイッチ用 PMOSFET 44 のソース端子に接続され、低電位電源線 42 は、電源スイッチ用 NMOSFET 45 のソース端子に接続されている。また、MOSFET 44 のドレイン端子は、論理回路群 43 の高電位端子に接続され、MOSFET 45 のドレイン端子は、論理回路群 43 の低電位端子に接続されている。言い換えば、MOSFET 44、論理回路群 43 および MOSFET 45 が直列接続され、MOSFET 44 および 45 を介して、論理回路群 43 に電源が供給される構成となっている。また、MOSFET 44 のゲート端子には、スリープ信号 SL が加えられ、MOSFET 45 のゲート端子には、その反転信号 \*SL が加えられている。これらの信号は、電源スイッチ用 MOSFET 44 および 45 をオン／オフ制御するための信号であり、論理回路群 43 のスリープ時に、MOSFET 44 および 45 をオフにし、論理回路群 43 の動作時に、MOSFET 44 および 45 をオンとする。

【0030】この実施例の特徴は、論理回路群 43 を構成する、すべての MOSFET のボディ部がフローティング状態に設定されていることである。すなわち、これらの MOSFET のボディ部には、バイアスがかけられていない。一方、電源スイッチ用 MOSFET 44 および 45 のボディ部はバイアスされている。すなわち、MOSFET 44 のボディ部が高電位電源線 41 に接続され、MOSFET 45 のボディ部が低電位電源線 42 に接続されている。

【0031】図 5 (A) および図 5 (B) は、MOSFET のボディ部にバイアスをかけたときと、かけなかつたときの、しきい値電圧の変化を示すグラフである。横軸はゲート・ソース間電圧  $V_{GS}$  を示し、縦軸はドレン電流  $I_D$  を対数スケールで示している。 $V_{TH1}$  および  $V_{TH2}$  は、しきい値電圧である。図から明らかのように、ボディ部にバイアスをかけないときには、しきい値電圧が下がる。この理由については前述した。このように、

SOI型MOSFETでは、その製作プロセスにおいて、特別なしきい値電圧調整用のマスクを用いなくても、ボディ部をバイアスするか否かによって、高しきい値電圧のMOSFETと、低しきい値電圧のMOSFETとを実現することができる。

【0032】本実施例では、さらに、ボディ部の不純物濃度をコントロールすることによって、高精度のしきい値電圧の調整を行っている。以下、この点を詳細に説明する。

【0033】図6(A)は、論理回路群43用MOSFETの構造を示す断面図であり、図6(B)は、電源スイッチ用MOSFET44および45の構造を示す断面図である。これらの図から分かるように、論理回路群43用MOSFETのボディ部133Aは、その空乏層幅Wがボディ部の厚さ以上に設定されている。すなわち、

$$W = \{2 \varepsilon_{\text{ss}} \cdot 2 \phi_{\text{f}} / (q \cdot N_{\text{dd}})\}^{1/2} \quad (1)$$

ただし、 $\varepsilon_{\text{ss}}$ はシリコンの誘電率、

$\phi_{\text{f}}$ はシリコンのフェルミポテンシャル

$q$ は電子の電荷量

$N_{\text{dd}}$ はボディ部の不純物濃度

$$\phi_{\text{f}} = (kT/q) \ln (N_{\text{dd}}/n_{\text{s}}) \quad (2)$$

ただし、 $k$ はボルツマン定数

Tはボディ部の絶対温度

$n_{\text{s}}$ はシリコンの真性キャリア密度

である。また、 $\ln$ は自然対数を表す。

【0037】アクティブ領域13の膜厚を $t_{\text{so1}}$ とし、空乏層幅Wを、この膜厚 $t_{\text{so1}}$ よりも大きくした場合、ボディ部133Aは、完全空乏化状態となる。この状態

$$V_{\text{fb}} = V_{\text{FB}} + 2 \phi_{\text{f}} + (2 \varepsilon_{\text{ss}} \cdot 2 \phi_{\text{f}} \cdot q \cdot n N_{\text{dd}})^{1/2} / C_{\text{os}} \quad (3)$$

ただし、 $V_{\text{fb}}$ はフラットバンド電圧

$C_{\text{os}}$ はゲート酸化膜14による容量である。

【0040】上記(1)～(3)式から、論理回路用MOSFETのボディ部133Aを完全空乏化状態にするためには、アクティブ領域13の膜厚 $t_{\text{so1}}$ を100nm、ゲート酸化膜14の膜厚 $t_{\text{os1}}$ を7nm(これによる $C_{\text{os}} = 0.49 \mu\text{F}/\text{cm}^2$ )、ボディ部133Aの不純物濃度 $N_{\text{dd}}$ を $8 \times 10^{16} \text{ cm}^{-3}$ (このとき $V_{\text{FB}} = -0.9 \text{ V}$ ,  $2 \phi_{\text{f}} = +0.8 \text{ V}$ )に設定すればよい。このときのしきい値電圧は、図7に示すように、0.2V程度になり、低しきい値電圧のMOSFETを実現することができる。なお、図7から分かるように、不純物濃度を減らして空乏層幅を増大することによって、しきい値電圧は低下する。

【0041】こうして、論理回路用MOSFETのボディ部133Aの完全空乏化状態が実現できるが、アクティブ領域13の膜厚 $t_{\text{so1}}$ が100nmのときには、不純物濃度 $N_{\text{dd}}$ は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下が好ましい。

【0042】一方、ボディ部133Bがバイアスされた電源スイッチ用MOSFET44および45では、ボデ

ボディ部133Aは、完全空乏化状態にされている。一方、電源スイッチ用MOSFETのボディ部133Bは、その空乏層幅Wがボディ部の厚さよりも小さくされている。すなわち、ボディ部133Bは、部分空乏化状態にされている。一般に、空乏層幅が大きいほど低電圧でチャンネルが形成されるから、しきい値電圧が下がる。したがって、論理回路群用MOSFETのしきい値電圧は、所望の低しきい値電圧に高精度で設定され、電源スイッチ用MOSFETのしきい値電圧は、高しきい値電圧に高精度で設定される。

【0034】図6(A)および図6(B)に示したMOSFETでは、空乏層幅Wは、次の式で与えられる。

【0035】

【数5】

$$W = \{2 \varepsilon_{\text{ss}} \cdot 2 \phi_{\text{f}} / (q \cdot N_{\text{dd}})\}^{1/2} \quad (1)$$

である。また、フェルミポテンシャル $\phi_{\text{f}}$ は、次式で与えられる。

【0036】

【数6】

では、MOSFETの相互コンダクタンス $g_{\text{m}}$ が上昇するとともに、ゲート容量が低減し、MOSFETの動作速度が向上することが知られている。

【0038】一方、MOSFETのしきい値電圧 $V_{\text{fb}}$ は、次の近似式で与えられる。

【0039】

【数7】

イ部133Bを部分空乏化状態とする。たとえば、ボディ部133Bの不純物濃度 $N_{\text{dd}}$ を、 $4 \times 10^{17} \text{ cm}^{-3}$ に設定すると、空乏層幅 $W = 54 \text{ nm}$ となり、図6(B)に示すように、ボディ部133Bを部分空乏化状態とすることができます。このとき、 $V_{\text{FB}} = -1.0 \text{ V}$ ,  $2 \phi_{\text{f}} = +0.9 \text{ V}$ となり、しきい値電圧が0.6V程度の高しきい値電圧のMOSFETを実現することができる。なお、アクティブ領域13の膜厚 $t_{\text{so1}}$ およびゲート酸化膜14の膜厚 $t_{\text{os1}}$ は論理回路用MOSFETのものと同じに設定される。ボディ部133Bの不純物濃度 $N_{\text{dd}}$ は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上が好ましい。

【0043】こうして、電源スイッチ用MOSFET44および45のボディ部133Bを部分空乏化状態とする。この部分空乏化されたボディ部133Bは、バイアス用領域を介して高電位電源線41と低電位電源線42にそれぞれ接続される。このため、しきい値電圧の変動は、従来のパルク型MOSFETと同程度に小さくできる。この結果、電源スイッチ用MOSFET44および45のオン抵抗のばらつきを小さくでき、論理回路群43に安定した電源電圧を供給することができる。

## 【0044】実施例2

図8は、本発明による低電圧SOI型論理回路の第2実施例の構成を示す回路図である。

【0045】この実施例が第1実施例と異なる点は、電源スイッチ用MOSFET44および45のボディ部133Bをゲート電極15に接続した点である。

【0046】この構成によれば、論理回路回路群43のスリープ時には、MOSFET44および45のしきい値電圧を上げ、リーク電流を低下し、その動作時には、MOSFET44および45のしきい値電圧を下げて、論理回路群43への供給電圧を上げることができる。

【0047】図9(A)および図9(B)は、その理由を説明するためのグラフである。これらのグラフにおいて、横軸はゲート・ソース間電圧 $V_{GS}$ であり、縦軸はしきい値電圧 $V_{TH}$ である。これらの図から分かるように、ゲート・ソース間電圧 $V_{GS}$ の絶対値が増加すると、MOSFETのしきい値電圧 $V_{TH}$ の絶対値が減少する。本実施例2は、この特性を利用したものである。

【0048】まず、スリープ時には、PMOSFET44のゲートに高レベルの信号SL(1V)が供給され、NMOSFET45のゲートに低レベル信号\*SL(0V)が加えられる。このとき、PMOSFET44のゲート・ソース間電圧 $V_{GS}$ も、NMOSFET45のゲート・ソース間電圧 $V_{GS}$ も、低電圧(0V)となる。すなわち、しきい値電圧 $V_{TH}$ は高くなる。

【0049】逆に、論理回路群43の動作時には、PMOSFET44のゲートに低レベルの信号SL(0V)が供給され、NMOSFET45のゲートに高レベル信号\*SL(1V)が加えられる。このとき、PMOSFET44のゲート・ソース間電圧 $V_{GS}$ も、NMOSFET45のゲート・ソース間電圧 $V_{GS}$ も、高電圧(1V)となる。すなわち、しきい値電圧 $V_{TH}$ は低くなる。

【0050】この結果、スリープ時には、MOSFET44および45のオフ抵抗が増して、リーク電流を低い値に押さえることができ、論理回路群43の動作時には、MOSFET44および45のオン抵抗が減少し、論理回路群43への供給電圧を増すことができる。

【0051】なお、上記各実施例では、高電位側にも低電位側にも電源スイッチ用のMOSFETを設けたが、その一方のみでも、ほぼ同様の作用効果をあげができる。たとえば、低電位側のMOSFET45を除いた場合は、論理回路群43の低電位端子を、低電位電源線42に直接接続すればよい。

【0052】図10は、論理回路を構成するMOSFETのボディ部をゲート電極に接続した構成を示す従来技術であり、T. Andoh, et al., "Design Methodology for Low-Voltage MOSFETs", 1994, IEEE, 79-82ページに記載されたものである。本実施例がこの従来技術と異なる点は、ボディ部がゲート電極に接続されたMOSFETを、従来技術では、論理回路用MOSFETとして用い

ているのに対して、本発明では、電源スイッチ用MOSFETとして利用している点である。ボディ部がゲート電極に接続されたMOSFETは、ボディ部からゲート電極への接続部を設ければならないために、素子占有面積が増加するとともに、入力容量が増加するため、ボディ部をフローティング状態とした素子よりも、動作速度が遅く、論理回路用としては適していない。本実施例では、このようなMOSFETを、論理素子よりも動作速度が遅くて済み、かつ使用個数が少ない、電源スイッチ用素子として用いているため、このような欠点による悪影響をまぬがれることができる。

## 【0053】

【発明の効果】以上説明したように、本発明によれば、高速動作および高集積が可能な低電圧SOI型論理回路を提供することができる。

## 【図面の簡単な説明】

【図1】従来の低電圧CMOS論理回路の一例を示す回路図である。

【図2】SOI型MOSFETの一般構造を示す断面図である。

【図3】(A)は従来のパルク型MOSFETの基板バイアス構造を示す平面図、(B)は従来のSOI型MOSFETのボディ部バイアス構造を示す平面図である。

【図4】本発明による低電圧SOI型論理回路の第1実施例の構成を示す回路図である。

【図5】(A)は、第1実施例において、MOSFETのボディ部にバイアスをかけたときの、ソース・ゲート間電圧対ドレイン電流特性、およびしきい値電圧を示すグラフ、(B)は第1実施例において、MOSFETのボディ部にバイアスをかけないときの、ソース・ゲート間電圧対ドレイン電流特性、およびしきい値電圧を示すグラフである。

【図6】(A)は第1実施例で用いた論理回路用低しきい値電圧のSOI型MOSFETの構造を示す断面図、(B)は第1実施例で用いた電源スイッチ用高しきい値電圧のSOI型MOSFETの構造を示す断面図である。

【図7】ボディ部の不純物濃度対しきい値電圧の関係を示すグラフである。

【図8】本発明による低電圧SOI型論理回路の第2実施例の構成を示す回路図である。

【図9】(A)はNMOSFETのボディ部をゲート電極に接続したときの、ソース・ゲート間電圧対しきい値電圧特性を示すグラフ、(B)はPMOSFETのボディ部をゲート電極に接続したときの、ソース・ゲート間電圧対しきい値電圧特性を示すグラフである。

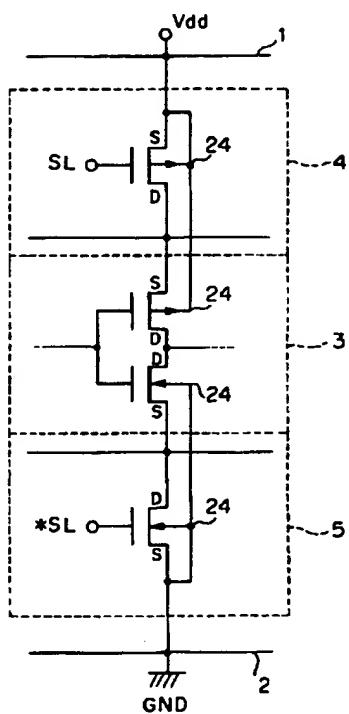
【図10】第2実施例と一部類似した構成を有する従来回路を示す図である。

## 【符号の説明】

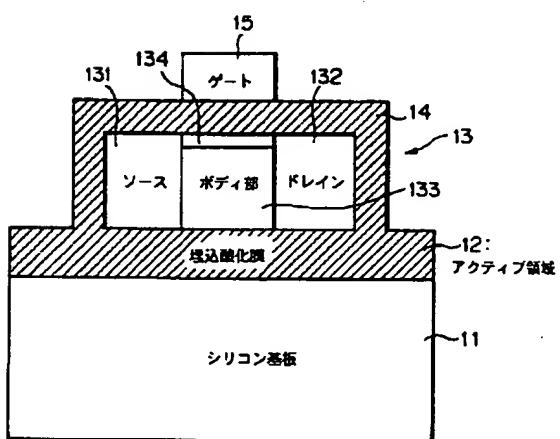
2 低電位電源線  
 3 論理回路群  
 4 電源スイッチ用MOSFET  
 5 電源スイッチ用MOSFET  
 1 1 シリコン基板  
 1 2 埋込酸化膜  
 1 3 アクティブ領域  
 1 4 ゲート酸化膜  
 1 5 ゲート電極  
 4 1 高電位電源線

4 2 低電位電源線  
 4 3 論理回路群  
 4 4 電源スイッチ用MOSFET  
 4 5 電源スイッチ用MOSFET  
 1 3 1 ソース  
 1 3 2 ドレイン  
 1 3 3 ボディ部  
 1 3 3 A ボディ部  
 1 3 3 B ボディ部  
 10 1 3 4 チャンネル部

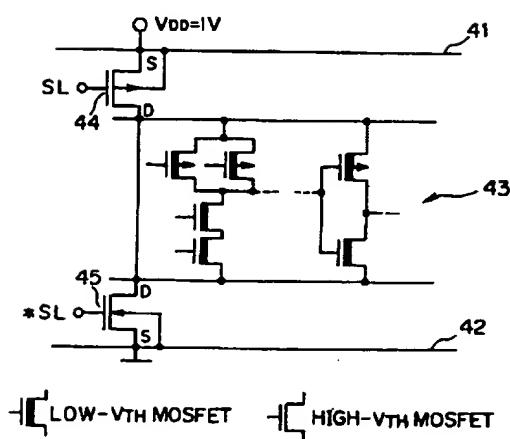
【図 1】



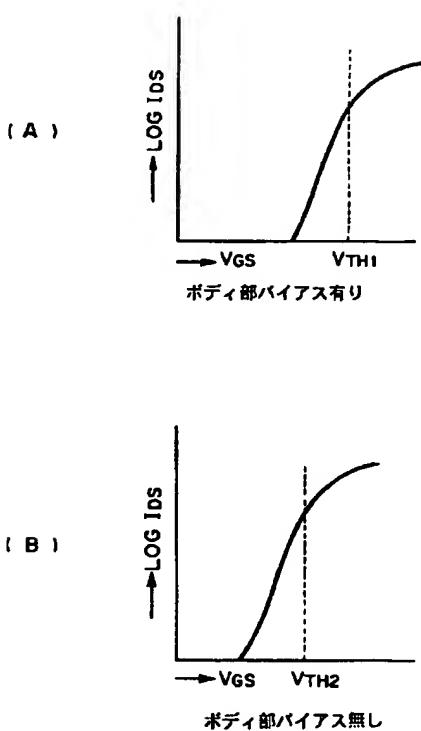
【図 2】



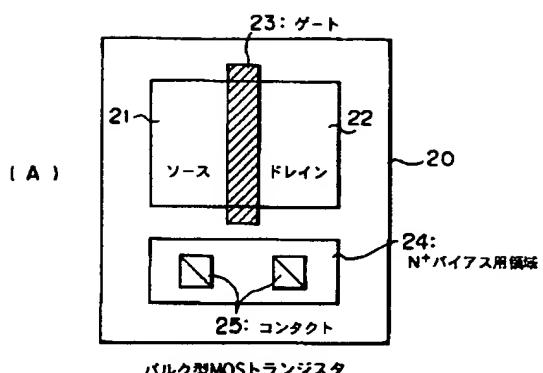
【図 4】



【図 5】

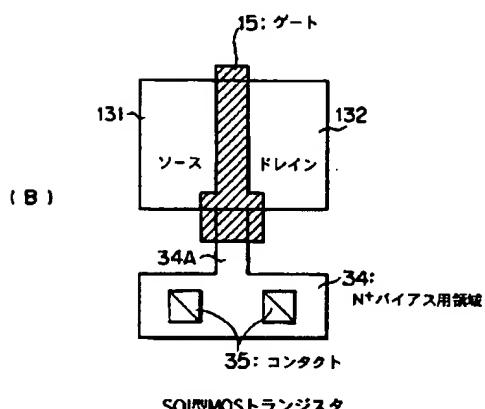
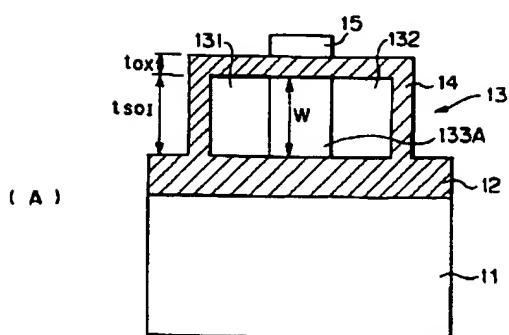


【図3】



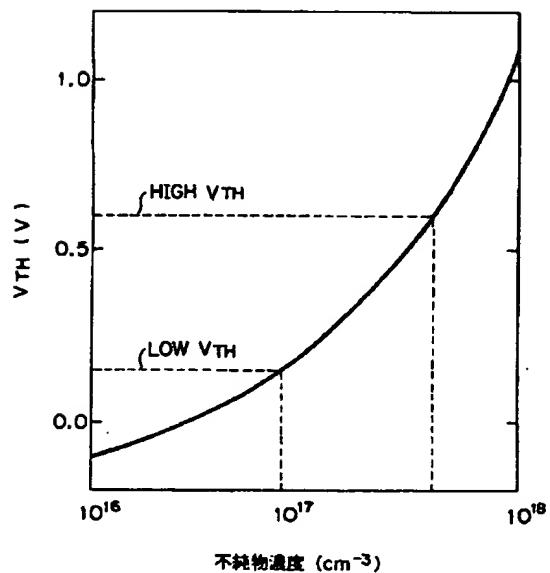
バルク型MOSトランジスタ

【図6】

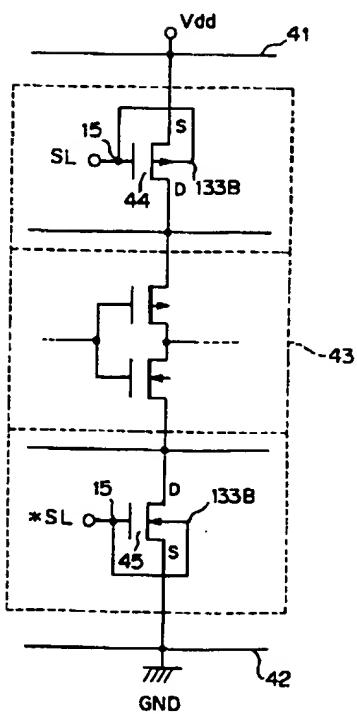


SOI型MOSトランジスタ

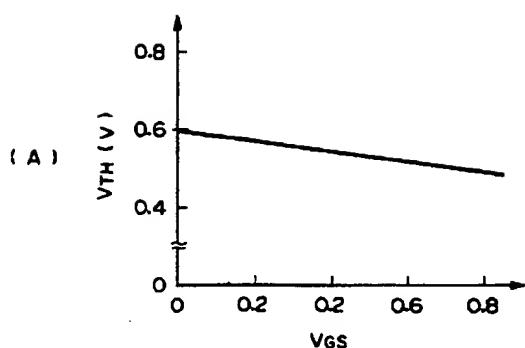
【図7】



【図8】



【図 9】



【図 10】

